


MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP8222559
Publication date: 1996-08-30
Inventor: TOMITA KENICHI
Applicant: TOSHIBA CORP
Classification:
- international: H01L21/316; H01L21/205; H01L21/31; H01L21/768
- european:
Application number: JP19950026922 19950215
Priority number(s):

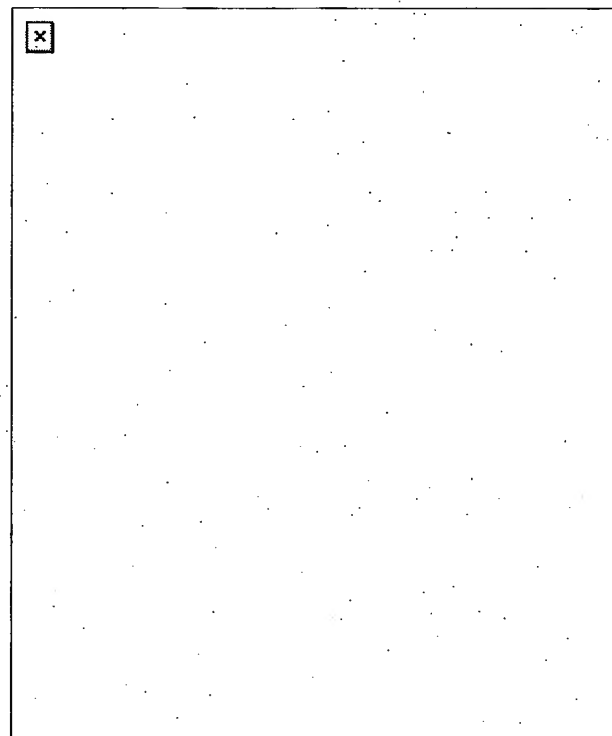
Also published as:

 US5650360 (A)[View INPADOC patent family](#)

Abstract of JP8222559

PURPOSE: To prevent the cross section of an insulating film from taking on the shape of an overhang so that the place where the insulation of a corner is fragile may not occur within the section between base wirings when forming an interlayer insulating film or a top passivation film in a semiconductor device.

CONSTITUTION: This manufacture possesses a process of forming a reflow SiO₂ film 13 in reflow shape to such thickness that it does not cover a wiring pattern by introducing SiH₄ gas or H₂ O₂ gas into the reaction chamber where the semiconductor substrate is accommodated after making a wiring pattern 12 on the insulating film 11 on a semiconductor substrate 10, and reacting them upon each other within the temperature range of not less than -10 deg.C and not more than +10 deg.C in vacuum of not more than 665Pa, and a process of stacking a plasma CVD insulating film 14 on the semiconductor substrate continuously in vacuum succeeding to this by plasma CVD method.



Description of correspondent: US5650360

BACKGROUND OF THE INVENTION

1. Field of the Invention

This invention relates to a method for manufacturing a semiconductor device with a multilayer wiring structure, including the improved step of forming an insulating film such as an interlayer insulating film, or a top passivation film, which covers a wiring layer.

2. Description of the Related Art

In accordance with increases in the integration of semiconductor devices, techniques for forming multiple layers of wiring materials on a substrate have been developed. In the techniques, a technique for planarising an interlayer insulating film or a

THIS PAGE BLANK (USPTO)

passivation film has been regarded as important.

The conventional step of forming multilayer wiring will be explained with reference to FIG. 1.

First, an element region and a contact region, which are not shown, are formed in a semiconductor substrate 30, and then a lower insulating film 31 with a thickness of about 1000 nm is formed on the resultant structure by the CVD under normal pressure.

Subsequently, contact holes are formed in the lower insulating film 31 to connect the wiring to the element and contact region.

A first wiring material (made of aluminum, which contains, for example, 1% Si and 0.5% Cu) for a lower wiring layer is deposited and patterned by photolithography and RIE (Reactive Ion Etching), thereby forming lower wires 32.

The lower wires 32 have a thickness of about 900 nm and are arranged with a pitch of about 600 nm at minimum.

Subsequently, a plasma CVD insulating film 33 with a thickness of about 800 nm is formed on the resultant structure by plasma CVD.

However, where the wires 32 are so thinned in a highly integrated LSI device, the above-described usual plasma CVD cannot sufficiently supply reactive gas or inject ions to fine spaces defined between extremely thin wires. Accordingly, the CVD insulating film 33 cannot sufficiently grow in such spaces.

In particular, those portions of the insulating film 33, which are deposited on the corners of the fine spaces between the thin wires, are very thin and may have overhanging cross sections.

More specifically, as is shown in FIG. 1, a void 34 may be formed between overhanging portions 33a and 33b of the plasma CVD insulating film 33. Further, the overhanging portions of the insulating film 33 may adversely affect deposition of a second wiring material for an upper wiring layer, or patterning of the upper wiring layer, thereby causing a serious defect such as disconnection of upper wires due to defective forming of the upper wiring layer.

These problems indicate that the plasma CVD process as a process for forming an interlayer insulating film has reached its technical limit as the wires have extremely been refined.

In addition, where the thickness of the CVD insulating film 33 is partially thin in the spaces between fine wires, the quality of thin portions of the film 33 is low because of insufficient supply of reactive gas or insufficient ion injection.

Accordingly, if the CVD process is used to form a top passivation film, moisture, alkali ions, etc. may enter the LSI device from the outside through those corners of the spaces between the wires located under the top passivation film, which are not sufficiently insulated by the plasma CVD insulating film, thereby degrading the reliability of the device.

An APL (Advanced Planarisation Layer) process as one of techniques for planarising an interlayer insulating film is disclosed, for example, in a document "Matsuura et al. IEEE Tech. Dig., p 117, 1994", and in a document "Semiconductor International DECEMBER 1994, pp 85-88".

In the APL process, SiH_4 gas is reacted with H_2O_2 gas, as an oxidizing agent, at a low temperature of e.g. 0 DEG C. under vacuum pressure, to thereby form on lower wires a reflow SiO_2 film as an interlayer insulating film.

This process is advantageous in that deposition of an insulating film in the spaces between the lower wires and planarisation of the insulating film can be performed at the same time, and hence in that a multilayer wiring structure can be formed at low cost by virtue of the simultaneous deposition and planarisation.

However, as explained above, the interlayer insulating film obtained by the above-described conventional plasma CVD process cannot sufficiently grow in the spaces defined between lower thin wires, and may have portions of overhanging cross section. As a result, a void may be formed in the spaces between the wires, and serious defects due to defective forming of the upper wiring layer, such as breakage of upper wires, short-circuiting in the wiring structure, etc., may occur.

Moreover, as explained above, in the top passivation film obtained by the conventional plasma CVD process, moisture, alkali ions, etc. may well enter the device from the outside through those corners of the spaces between the wires located under the passivation film, which are not sufficiently insulated by the plasma CVD insulating film, thereby degrading the reliability of the device.

SUMMARY OF THE INVENTION

THIS PAGE BLANK (USPTO)

The invention has been developed in light of the above-described problems, and it is the object of the invention to provide a method for manufacturing a semiconductor device with a multilayer wiring structure, in which method the step of forming an insulating film for covering wires formed of a wiring layer is improved so as to prevent the wires from having an insufficiently insulated lower side portion because of insufficient growth of the insulating film thereon, thereby preventing degradation of quality and imparting a highly planarised surface to the insulating film to enhance the reliability of the resultant semiconductor device.

To attain the object, there is provided a method for manufacturing a semiconductor device having a multilayer wiring structure in which the step of forming an insulating film for covering a wiring layer is improved, comprising the steps of: forming a wiring pattern on an insulating film provided on a semiconductor substrate; forming a reflow film by step of introducing SiH₄ gas and H₂O₂ into a reaction chamber in which the semiconductor substrate provided with the wiring pattern is placed, and by reacting them with each other under a negative pressure of 665 Pa or less at a temperature falling within a range from -10 DEG C. to +10 DEG C., thereby forming a reflow SiO₂ film of a reflow configuration on the wiring pattern such that it does not completely cover the wiring pattern; and forming a plasma CVD insulating film by depositing continuously a plasma CVD insulating film on the reflow SiO₂ film on semiconductor substrate by plasma CVD under a negative pressure.

By virtue of the above-described steps, sufficient amounts of reactive gases and an ion gas can be applied to lower side portions of the wires, and the plasma CVD insulating film sufficiently can grow even at the lower side portions, even where the wires are extremely thin in accordance with high integration of the LSI device. Therefore, it is not possible that the plasma CVD insulating film formed on the wires and on those portions of the semiconductor substrate which are located between each adjacent pair of the wires has overhanging cross sections.

Thus, the present invention provides a method for manufacturing a semiconductor device with a multilayer wiring structure, in which method the step of forming an insulating film for covering wires formed of a wiring layer is improved so as to prevent wires from having an insufficiently insulated lower side portion because of insufficient growth of the insulating film thereon, thereby preventing degradation of film quality and imparting a highly planarised surface to the insulating film to enhance the reliability of the resultant semiconductor device.

BRIEF DESCRIPTION OF THE DRAWING

The accompanying drawing, which are incorporated in and constitute a part of the specification, illustrate a presently preferred embodiment of the invention and, together with the general description given above and the detailed description of the preferred embodiment given below, serve to explain the principles of the invention.

FIG. 1 is a sectional view, showing an example of a conventional process for forming multilayer wiring of a semiconductor device;

FIG. 2A is a partially sectional view, useful in explaining a step included in a process for manufacturing multilayer wiring of a semiconductor device, according to the embodiment of the invention;

FIG. 2B is a partially sectional view, useful in explaining a step following to the step of FIG. 2A; and

FIG. 2C is a partially sectional view, useful in explaining a step following to the step of FIG. 2B.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

The embodiment of the invention will be explained with reference to the accompanying drawings.

FIGS. 2A-2C are partially sectional views, useful in explaining steps included in a process, according to the invention, for manufacturing a semiconductor device having a multilayer wiring structure, in which process the step for forming an insulating film covering a wiring layer is improved.

As is shown in FIG. 2A, a lower insulating film 11 with a thickness of 1000 nm is deposited by normal pressure CVD on a semiconductor substrate 10, after an element region (not shown) and a contact region (not shown) are formed in surface portions of the semiconductor substrate (e.g. silicon substrate) 10. Thereafter, contact holes (not shown) are formed in the lower insulating film for connecting the element and contact regions to a lower wiring layer formed later.

A first wiring material (e.g. aluminum containing 1% Si and 0.5% Cu) for a lower wiring layer is deposited on the resultant structure by, for example, sputtering, and then patterned by photolithography or RIE, thereby forming a lower wiring layer 1.

THIS PAGE BLANK (USPTO)

The lower wiring layer 12 has a thickness of about 900 nm and the minimum wiring interval is about 600 nm. Subsequently, SiH₄ gas and H₂ O₂ are introduced into a reaction chamber in which the semiconductor substrate 10 coated with the lower wiring layer is placed, and are reacted with each other under a negative pressure of 5 Torr (=5.times.133.322 Pa=about 665 Pa) at a temperature from -10 DEG C. to +10 DEG C. (e.g. 0 DEG C.). As a result, a reflow SiO₂ film 13 of a reflow configuration is formed on the patterned lower wiring layer 12. In this case, the thickness of the reflow film 13 is set to such a value as allows the film not to completely cover the patterned layer 12, as is shown in FIG. 2B. For example, the thickness is about 300 nm.

The state that the film 13 does not completely cover the patterned layer 12 means the following:

At the time of coating the lower insulating film 11 and the lower wiring layer 12 with the reflow film 13 of a predetermined thickness, it is possible that those portions of the reflow film 13, which are deposited on contact portions of the lower insulating film 11 and the wires formed of the lower wiring layer 12, have concave cross sections as a result of its surface tension; that those portions of the film 13, which are deposited on the upper portions of the wires 12, have convex cross sections; and that side portions of the wires 12 are partially exposed.

The above-described thickness value is what will cause this state.

After the reflow film-forming process, a plasma CVD insulating film 14 is deposited on the reflow SiO₂ film 13 as shown in FIG. 2C.

To this end, SiH₄ gas and N₂ O gas are mainly reacted with each other by plasma CVD at a temperature of 300 DEG C.-400 DEG C. (to avoid melting of the lower wires), thereby forming a plasma CVD-SiO₂ film 14 with a thickness of about 800 nm on the overall surface of the resultant structure.

Since sufficient amounts of reactive gases and an ion gas are applied to lower side portions of the wires, the plasma CVD insulating film 14 sufficiently grows even at the lower side portions. As a result, the resultant plasma CVD insulating film or interlayer insulating film 14 has a cross section obtained by continuously connecting smooth U-shaped sections, and hence has a highly planarised surface.

Subsequently, if necessary, the resultant semiconductor substrate is subjected to 30-minute furnace annealing performed at a high temperature of 400 DEG C. -450 DEG C. in the atmosphere.

Thereafter, the interlayer insulating film 14 is etched to form contact holes or via holes therein, and then a second wiring material (e.g. aluminum containing 1% Si and 0.5% Cu) is deposited and patterned, thereby forming an upper wiring layer 1:

Since the lower plasma CVD insulating film 14 has a cross section consisting of smooth U-shaped sections connected to each other on a continuous basis, breakage of the upper wiring layer due to defective coating will not occur.

As described above, in the embodiment, to form an interlayer insulating film, SiH₄ gas and H₂ O₂ are introduced into a reaction chamber in which a semiconductor substrate provided with a lower wiring pattern is placed, and are reacted with each other under a negative pressure of 665 Pa or less at a temperature falling within a range from -10 DEG C. to +10 DEG C. (e.g. 0 DEG C.), thereby forming a reflow SiO₂ film of a reflow configuration on the wiring pattern such that it does not completely cover the wiring pattern. After the reflow film-forming treatment, a plasma CVD insulating film is continuously deposited on the semiconductor substrate by plasma CVD under a predetermined negative pressure, and if necessary, the resultant structure is heated for 30 minutes or more at a high temperature of 400 DEG -450 DEG C.

The reflow SiO₂ film has a U-shaped cross section between each adjacent pair of the wires formed of the lower wiring layer because of its surface tension. When the plasma CVD insulating film is continuously deposited on the semiconductor substrate by the plasma CVD under a negative pressure in a state in which the reflow SiO₂ film of the U-shaped cross section is coated, lower side portions of the wires, a plasma CVD insulating film of high quality sufficiently grows even at the lower side portions of the wires since the supply of reactive gases thereto is promoted.

The resultant plasma CVD insulating film has a cross section consisting of smooth U-shaped sections connected to each other on a continuous basis.

Thus, the reflow SiO₂ film can prevent the wires from having insufficiently insulated lower side portions, and also prevent the insulating film from having overhanging cross sections.

As described above, the present invention can provide a highly planarised interlayer insulating film at low cost.

The plasma CVD insulating film-forming step can be modified as follows:

THIS PAGE BLANK (USPTO)

SiH₄ and NH₃ gases are mainly reacted with each other by plasma CVD at a temperature of 300 DEG C.-400 DEG C. to form a plasma CVD-SiN film; or

TEOS (tetra-ethoxy-silane) and O₂ are mainly reacted with each other by plasma CVD at a temperature of 300 DEG C.-400 DEG C. to form a plasma CVD-SiO₂ film.

Although the interlayer insulating film is formed in the embodiment, the same advantage as above can be obtained if a top passivation film is formed by forming the reflow SiO₂ film and the plasma CVD insulating film. Further, in this case, moisture or alkali ions can be prevented from entering the LSI device from the outside thereof through an insufficiently insulated lower side portion of a wire provided under the top passivation film, and through the plasma CVD insulating film, thereby preventing degradation of the reliability of the device.

Additional advantages and modifications will readily occur to those skilled in the art. Therefore, the invention in its broader aspects is not limited to the specific details, and illustrated examples shown and described herein. Accordingly, various modifications may be made without departing from the spirit or scope of the general inventive concept as defined by the appended claims and their equivalents.

Claims of correspondent: US5650360

What is claimed is:

1. A method for manufacturing a semiconductor device having a multilayer wiring structure, in which the step of forming an insulating film for covering a wiring layer is improved, comprising the steps of:
forming a wiring pattern on an insulating film provided on a semiconductor substrate;
forming a reflow film by introducing SiH₄ gas and H₂ O₂ into a reaction chamber in which the semiconductor substrate provided with the wiring pattern is placed, and by reacting them with each other under a negative pressure of 665 Pa or less at a temperature falling within a range from -10 DEG C. to +10 DEG C., thereby forming a reflow SiO₂ film of a reflow configuration on the wiring pattern leaving side portions of the wiring pattern partially exposed; and
forming a plasma CVD insulating film by depositing continuously the plasma CVD insulating film on the reflow SiO₂ film on the semiconductor substrate by plasma CVD under a negative pressure such that the plasma CVD insulating film covers the partially exposed side portions of the wiring pattern pressure.
2. The method according to claim 1, wherein in the plasma CVD insulating film-forming step, SiH₄ gas and N₂ O gas are reacted with each other at a temperature falling within a range from 300 DEG C. to 400 DEG C., thereby forming a plasma CVD-SiO₂ film.
3. The method according to claim 1, wherein in the plasma CVD insulating film-forming step, SiH₄ gas and NH₃ gas are reacted with each other at a temperature falling within a range from 300 DEG C. to 400 DEG C., thereby forming a plasma CVD-SiN film.
4. The method according to claim 1, wherein in the plasma CVD insulating film-forming step, TEOS gas and O₂ gas are reacted with each other at a temperature falling within a range from 300 DEG C. to 400 DEG C., thereby forming a plasma CVD-SiO₂ film.
5. A method for manufacturing a semiconductor device having a multilayer wiring structure, in which the step of forming an insulating film for covering a wiring layer is improved, comprising the steps of:
forming a wiring pattern on an insulating film provided on a semiconductor substrate;
forming a reflow film by introducing SiH₄ gas and H₂ O₂ into a reaction chamber in which the semiconductor substrate provided with the wiring pattern is placed, and by reacting them with each other under a negative pressure of 665 Pa or less at a temperature falling within a range from -10 DEG C. to +10 DEG C., thereby forming a reflow SiO₂ film of a reflow configuration on the wiring pattern leaving side portions of the wiring pattern partially exposed;
forming a plasma CVD insulating film by depositing continuously the plasma CVD insulating film on the reflow SiO₂ film on the semiconductor substrate by plasma CVD under a negative pressure such that the plasma CVD insulating film covers the partially exposed side portions of the wiring pattern pressure; and
heating the resultant semiconductor substrate for 30 minutes or more at a high temperature falling within a range from 400 DEG C. to 450 DEG C.
6. The method according to claim 5, wherein in the plasma CVD insulating film-forming step, SiH₄ gas and N₂ O gas are

THIS PAGE BLANK (USPTO)

reacted with each other at a temperature falling within a range from 300 DEG C. to 400 DEG C., thereby forming a plasma CVD-SiO₂ film.

7. The method according to claim 5, wherein in the plasma CVD insulating film-forming step, SiH₄ gas and NH₃ gas are reacted with each other at a temperature falling within a range from 300 DEG C. to 400 DEG C., thereby forming a plasma CVD-SiN film.

8. The method according to claim 5, wherein in the plasma CVD insulating film-forming step, TEOS gas and O₂ gas are reacted with each other at a temperature falling within a range from 300 DEG C. to 400 DEG C., thereby forming a plasma CVD-SiO₂ film.

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-222559

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/316		H 0 1 L 21/316	X
	21/205		21/205	
	21/31		21/31	C
	21/768		21/90	P
				M
審査請求 未請求 請求項の数5 O L (全 5 頁)				

(21)出願番号 特願平7-26922

(22)出願日 平成7年(1995)2月15日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 富田 健一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

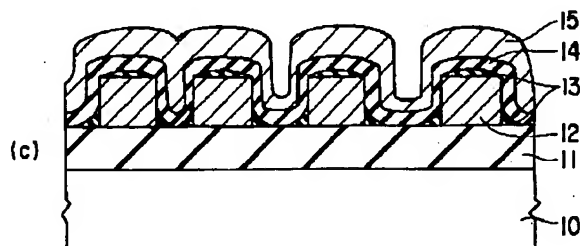
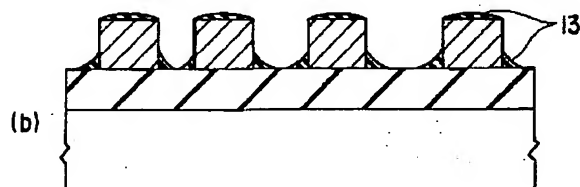
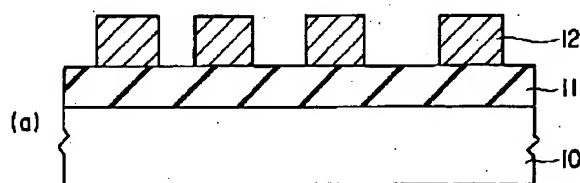
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】半導体装置の層間絶縁膜あるいはトップパッシベーション膜を形成する際、下地配線の配線間隔部内で隅部の絶縁が脆弱な箇所が発生しないように、絶縁膜の断面がオーバーハング形状を呈さないように防止する。

【構成】半導体基板10上の絶縁膜11上に配線パターン12を形成した後、半導体基板を収容した反応室内に SiH_4 ガスおよび H_2O_2 を導入し、665Pa以下の真空中、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー SiO_2 膜13を配線パターンを完全には被覆しない膜厚まで形成する工程と、これに引き続き、真空中で連続的に半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜14を堆積形成する工程とを具備することを特徴とする。



【特許請求の範囲】

【請求項1】 半導体基板上の絶縁膜上に配線パターンを形成する工程と、上記配線パターンを形成後の半導体基板を収容した反応室内に SiH_4 ガスおよび H_2 、 O_2 を導入し、665Pa以下の真空中、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー SiO_2 膜を上記配線パターンを完全には被覆しない膜厚まで形成するリフロー膜形成工程と、上記リフロー膜形成工程に引き続き、所定の真空中で連続的に前記半導体基板上にプラズマCVD法により

プラズマCVD絶縁膜を堆積形成するプラズマCVD絶縁膜形成工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記プラズマCVD絶縁膜形成工程は、 SiH_4 と N_2O とを主たる反応として 300°C 以上、 400°C 以下の温度範囲内でプラズマCVD- SiO_2 膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記プラズマCVD絶縁膜形成工程は、 SiH_4 と NH_3 とを主たる反応として 300°C 以上、 400°C 以下の温度範囲内でプラズマCVD- SiN 膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記プラズマCVD絶縁膜形成工程は、 TEOS と O_2 とを主たる反応として 300°C 以上、 400°C 以下の温度範囲内でプラズマCVD- SiO_2 膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 請求項1乃至4のいずれか1記載の半導体装置の製造方法において、さらに、前記CVD絶縁膜を形成後の半導体基板を 400°C 以上、 450°C 未満の高温中で30分以上熱処理を行う熱処理工程を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に係り、特に多層配線構造を有する半導体装置の層間絶縁膜あるいは表面保護膜（トップ・パッシベーション膜）の形成方法に関する。

【0002】

【従来の技術】 半導体装置の集積度の増大につれて多層配線化が進んでおり、層間絶縁膜あるいはトップ・パッシベーション膜の表面形状の平坦化が重要になってきている。ここで、従来の多層配線の形成工程について、図2を参照して説明する。

【0003】 まず、半導体基板30上に素子領域（図示せず）、コンタクト領域（図示せず）を形成した後、常圧CVD法により下地絶縁膜31を厚さ1000nm程度成膜する。この後、下地絶縁膜31にコンタクトホールを形成する。

【0004】 この後、下層配線用の第1の配線材料（例えば Si を1%、 Cu を0.5%を含むアルミニウム）を堆積後、フォトリソグラフィ法、RIE（反応性イオンエッチング）法を用いて配線材料のパターニングを行って下層配線32を形成する。なお、下層配線32の厚さは900nm程度、配線間隔は最小で600nm程度である。

【0005】 次に、通常のプラズマCVD法により、下層配線32上にプラズマCVD絶縁膜33を厚さ800nm程度成膜する。しかし、上記したような通常のプラズマCVD法では、LSIデバイスの高集積化に伴って配線32が微細化すると、微細な配線間隔部内でCVD絶縁膜33の成膜が局部的に不十分になる。

【0006】 これにより、配線間隔部内の隅部で、プラズマCVD絶縁膜33の膜厚が非常に薄くなり、配線間隔部内でプラズマCVD絶縁膜33の断面がオーバーハング形状を呈するようになる。

【0007】 このため、図2中に示すように、配線間隔部にボイドが形成されたり、後の工程でプラズマCVD絶縁膜33に上層配線用の第2の配線材料を堆積する時および上層配線のパターニング時に悪影響を及ぼし、上層配線の段切れによる断線などの重大な欠陥をもたらすおそれがある。

【0008】 このような問題は、層間絶縁膜成膜プロセスとしてのプラズマCVDプロセスが、配線が微細化したことにより技術的な限界に達している一例といえる。また、前記したように微細な配線間隔部内でCVD絶縁膜33の成膜が局部的に不十分になると、配線間隔部内の隅部で、プラズマCVD絶縁膜33の膜質も劣化する。

【0009】 従って、上記CVDプロセスをトップパッシベーション膜に適用した場合には、LSIデバイスの外部から水分やアルカリイオンなどが、トップパッシベーション膜下の配線の配線間隔部内の隅部の絶縁が脆弱な箇所からプラズマCVD絶縁膜を透過してデバイス内部に侵入し、デバイスの信頼性が劣化する。

【0010】 ところで、層間絶縁膜表面の平坦化技術の1つとして、APL（Advanced Planarisation Layer）プロセスが報告（文献；Matsuura et.al., IEEE Tech.Dig., pp117, 1994）されている。

【0011】 このAPLプロセスは、層間絶縁膜の形成に際して、 SiH_4 ガスと酸化剤である H_2 、 O_2 （過酸化水素水）とを低温（例えば 0°C 程度）・真空中で反応させることにより、下層配線32上に自己流動型（リフロー）の SiO_2 膜（以下、リフロー SiO_2 膜という）を形成するものである。

【0012】 この方法は、下層配線の配線相互間の絶縁膜の埋め込みと絶縁膜表面の平坦化を同時に達成でき、1回の成膜で平坦化までの工程を終了するので、多層配線工程の低減化を実現できる。

【0013】

【発明が解決しようとする課題】上記したように従来のプラズマCVDプロセスを適用して得られる層間絶縁膜は、下地配線の配線間隔部内での成膜が局部的に不十分になり、配線間隔部内でプラズマCVD絶縁膜の断面がオーバーハング形状を呈するようになるので、配線間隔部にボイドが形成されたり、上層配線の段切れによる断線、短絡などの重大な欠陥をもたらすおそれがあるという問題があった。

【0014】また、従来のプラズマCVDプロセスを適用して得られるトップパッシベーション膜は、デバイス外部から水分やアルカリイオンなどが下地配線の配線間隔部内の隅部の絶縁が脆弱な箇所からプラズマCVD絶縁膜を透過してデバイス内部に侵入し、デバイスの信頼性が劣化するという問題があった。

【0015】本発明は上記の問題点を解決すべくなされたもので、半導体装置の層間絶縁膜あるいはトップパッシベーション膜を形成する際、下地配線の配線間隔部内で隅部の絶縁が脆弱な箇所が発生しないように防止し、絶縁膜の断面がオーバーハング形状を呈さないように防止でき、平坦性に優れた層間絶縁膜あるいはトップパッシベーション膜を実現し得る半導体装置の製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上に絶縁膜上に配線パターンを形成する工程と、上記配線パターンを形成後の半導体基板を収容した反応室内に SiH_4 ガスおよび H_2 、 O_2 を導入し、665Pa以下の真空中、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー SiO_2 膜を上記配線パターンを完全には被覆しない膜厚まで形成するリフロー膜形成工程と、上記リフロー膜形成工程に引き続き、所定の真空中で連続的に前記半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜を堆積形成するプラズマCVD絶縁膜形成工程とを具備することを特徴とする。

【0017】

【作用】本発明では、半導体装置の層間絶縁膜あるいはトップパッシベーション膜を形成する際にリフロー絶縁膜形成技術を採用し、配線パターンを形成後の半導体基板を収容した反応室内に SiH_4 ガスおよび H_2 、 O_2 を導入し、665Pa以下の真空中、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー SiO_2 膜を上記配線パターンを完全には被覆しない膜厚まで形成する。このリフロー膜形成工程に引き続き、所定の真空中で連続的に半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜を堆積形成するものである。

【0018】上記リフロー SiO_2 膜は、下地配線の配線間隔部内で表面張力に支配された凹状の断面形状を呈

する。このような断面凹状のリフロー SiO_2 膜により配線間隔部内が埋め込まれた状態で、引き続き、真空中で連続的に半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜を堆積形成する際、配線間隔部内の隅部への反応ガスの供給が助けられるので、配線間隔部内の隅部でも良質なプラズマCVD絶縁膜が十分に成長する。

【0019】これにより、プラズマCVD絶縁膜の成膜後の表面が、断面緩やかな凹状が連続性を持った形状を呈するようになる。従って、層間絶縁膜あるいはトップパッシベーション膜の下地配線の配線間隔部内で隅部の絶縁が脆弱な箇所が発生しないように防止し、絶縁膜の断面がオーバーハング形状を呈さないように防止でき、平坦性に優れた層間絶縁膜あるいはトップパッシベーション膜を実現することが可能になる。

【0020】

【実施例】以下、図面を参照して本発明の一実施例を詳細に説明する。図1(a)乃至(c)は、本発明の半導体装置の製造方法の一実施例に係る多層配線工程の一例を示している。

【0021】まず、図1(a)に示すように、半導体基板(例えばシリコン基板)10に素子領域(図示せず)、コンタクト領域(図示せず)を形成した後、常圧CVD法により下地絶縁膜11を厚さ1000nm程度成膜する。この後、下地絶縁膜11にコンタクトホールを形成する。

【0022】次に、下層配線用の第1の配線材料(例えばSiを1%、Cuを0.5%を含むアルミニウム)を例えばスパッタ法により堆積後、フォトリソグラフィ法、RIE法を用いて配線材料のパターニングを行って下層配線12を形成する。なお、下層配線12の厚さは900nm程度、配線間隔は最小で600nm程度である。

【0023】次に、下層配線形成後の半導体基板10を収容した反応室内に SiH_4 ガスおよび H_2 、 O_2 を導入し、5 Torr = 5×133.322 Pa (ほぼ665 Pa)以下の真空中、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度範囲内(例えば 0°C)で互いに反応させ、図1(b)に示すように、リフロー形状を有するリフロー SiO_2 膜13を下層配線12の配線パターンを完全には被覆しない膜厚まで(例えば300nm程度)形成する。上記リフロー SiO_2 膜13は、下層配線12の配線間隔部内で表面張力に支配された凹状の断面形状を呈する。

【0024】上記リフロー膜形成工程に引き続き、所定の真空中で連続的に、図1(c)に示すように、前記リフロー SiO_2 膜13上にプラズマCVD絶縁膜14を堆積形成する。

【0025】上記プラズマCVD絶縁膜14を堆積する際、 SiH_4 ガスと N_2 、 O ガスとを 300°C 以上、 400°C 以下(下層配線の溶解を避ける温度)の温度範囲内

5

で反応させるプラズマCVD法により、 SiH_4 と N_2O とを主たる反応として厚さが800nm程度のプラズマCVD- SiO_2 膜を全面に形成する。

【0026】この際、配線間隔部内の隅部への反応ガスの供給が助けられるので、配線間隔部内の隅部でも良質なプラズマCVD絶縁膜14が十分に成長する。これにより、プラズマCVD絶縁膜14の成膜後の表面が、断面緩やかな凹状が連続性を持った形状を呈するようになり、平坦性の良い層間絶縁膜が得られる。

【0027】この後、必要に応じて、半導体基板を400℃以上、450℃未満の高温下、大気中で30分以上熱処理（ファーンズアニール）を行う。この後、層間絶縁膜にコンタクトホールあるいはビアホールを開口するためのエッチングを行い、上層配線用の第2の配線材料（例えばSiを1%、Cuを0.5%を含むアルミニウム）を堆積後、パターニングを行って上層配線15を形成する。

【0028】この際、下地のプラズマCVD絶縁膜14の表面は断面緩やかな凹状が連続性を持った形状を有するので、上層配線の段切れによる断線などは発生しない。上記実施例によれば、半導体装置の層間絶縁膜を形成する際、配線パターンを形成後の半導体基板を収容した反応室内に SiH_4 ガスおよび H_2O_2 を導入し、665Pa以下の真空中、-10℃以上+10℃以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー SiO_2 膜を上記配線パターンを完全には被覆しない膜厚まで形成する。このリフロー膜形成工程に引き続き、所定の真空中で連続的に半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜を堆積形成した後、必要に応じて半導体基板を400℃以上、450℃未満の高温中で30分以上熱処理を行うものである。

【0029】上記リフロー SiO_2 膜は、下地配線の配線間隔部内で表面張力に支配された凹状の断面形状を呈する。このような断面凹状のリフロー SiO_2 膜により配線間隔部内が埋め込まれた状態で、引き続き、真空中で連続的に半導体基板上にプラズマCVD法によりプラズマCVD絶縁膜を堆積形成する際、配線間隔部内の隅部への反応ガスの供給が助けられるので、配線間隔部内の隅部でも良質なプラズマCVD絶縁膜が十分に成長する。

【0030】これにより、プラズマCVD絶縁膜の成膜後の表面が、断面緩やかな凹状が連続性を持った形状を

6

呈するようになる。従って、層間絶縁膜の下地配線の配線間隔部内で隅部の絶縁が脆弱な箇所が発生しないように防止し、絶縁膜の断面がオーバーハング形状を呈さないように防止でき、平坦性に優れた層間絶縁膜を低コストで実現することが可能になる。

【0031】なお、上記実施例におけるプラズマCVD絶縁膜形成工程の変形例として、 SiH_4 ガスと NH_3 ガスとを300℃以上、400℃以下の温度範囲内で反応させるプラズマCVD法により、 SiH_4 と NH_3 とを主たる反応として300℃以上、400℃以下の温度範囲内でプラズマCVD- SiN 膜を形成したり、 TEOS （テトラ・エトキシ・シラン）と O_2 とを主たる反応として300℃以上、400℃以下の温度範囲内でプラズマCVD- SiO_2 膜を形成することが可能である。

【0032】また、上記実施例は、層間絶縁膜を形成する場合を示したが、トップパッシベーション膜を形成する際にも、上記実施例に準じてリフロー SiO_2 膜およびプラズマCVD絶縁膜を形成することにより、上記実施例に準じた効果が得られるほか、LSIデバイスの外部から水分やアルカリイオンなどが、トップパッシベーション膜下の配線の配線間隔部内の隅部の絶縁が脆弱な箇所からプラズマCVD絶縁膜を透過してデバイス内部に侵入し、デバイスの信頼性が劣化するという問題を防止できる。

【0033】

【発明の効果】上述したように本発明の半導体装置の製造方法によれば、半導体装置の層間絶縁膜あるいはトップパッシベーション膜を形成する際、下地配線の配線間隔部内で隅部の絶縁が脆弱な箇所が発生しないように防止し、絶縁膜の断面がオーバーハング形状を呈さないように防止でき、平坦性に優れた層間絶縁膜あるいはトップパッシベーション膜を実現することができる。

【図面の簡単な説明】

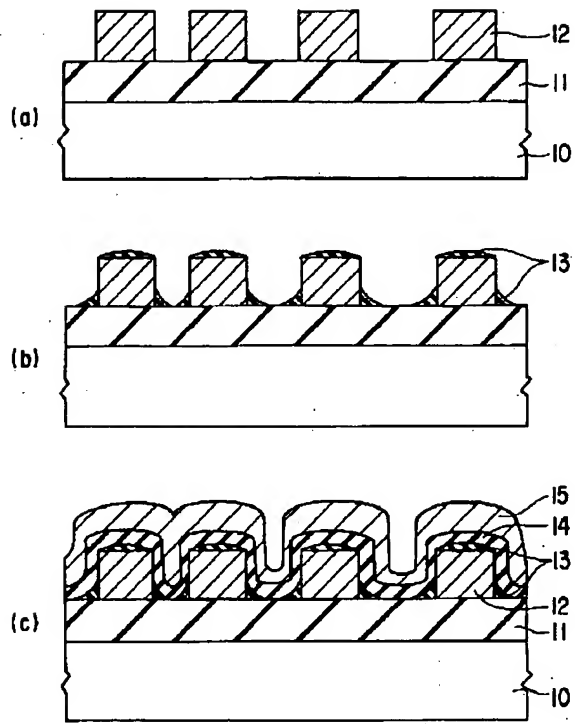
【図1】本発明の半導体装置の製造方法の一実施例に係る多層配線工程の一例を示す断面図。

【図2】従来の多層配線工程の一例を示す断面図。

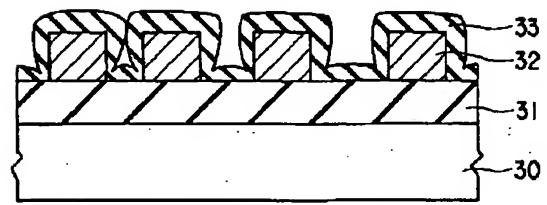
【符号の説明】

10…半導体基板、11…絶縁膜、12…下層配線、13…リフロー SiO_2 膜、14…プラズマCVD膜、15…上層配線。

【図1】



【図2】



THIS PAGE BLANK (USPTO)